

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 6 月 9 日 (09.06.2005)

PCT

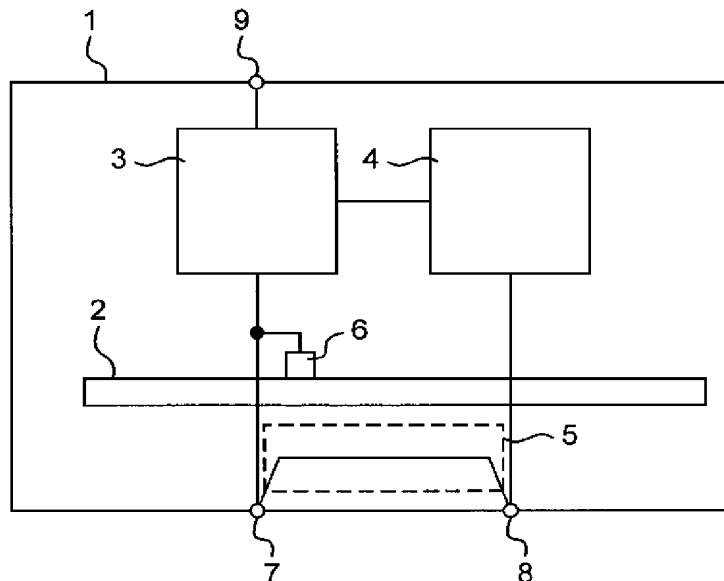
(10) 国際公開番号
WO 2005/053028 A1

- (51) 国際特許分類⁷: H01L 27/04, 23/60 (74) 代理人: 河宮 治, 外(KAWAMIYA, Osamu et al.); 〒5400001 大阪府大阪市中央区域見 1 丁目 3 番 7 号 I M P ビル 青山特許事務所 Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/017701
- (22) 国際出願日: 2004 年 11 月 29 日 (29.11.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2003-397099
2003 年 11 月 27 日 (27.11.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小島 巖 (KOJIMA, Iwao). 正垣 年啓 (SHOGAKI, Toshihiro). 石川修 (ISHIKAWA, Osamu).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE COMPRISING ELECTROSTATIC BREAKDOWN PROTECTION ELEMENT

(54) 発明の名称: 静電破壊保護素子を備えた半導体装置



(57) Abstract: A semiconductor device (1) comprises a semiconductor substrate (2) on which integrated circuits (3, 4) are formed, a first ground terminal (7) and a second ground terminal (8) for electrically connecting the integrated circuits (3, 4) to an external ground electrode, and an electrostatic breakdown protection element (5) for electrically connecting the first ground terminal (7) with the second ground terminal (8). The first ground terminal (7) is electrically connected with the semiconductor substrate (2), while the second ground terminal (8) is not electrically connected with the semiconductor substrate (2).

[続葉有]

WO 2005/053028 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, — 補正書
SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各*PCT*ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約: 半導体装置(1)は、集積回路(3, 4)が形成された半導体基板(2)と、集積回路(3, 4)と外部の接地電極とを電氣的に接続する第1の接地端子(7)及び第2の接地端子(8)と、第1の接地端子(7)と第2の接地端子(8)とを電氣的に接続する静電破壊保護素子(5)とを備える。第1の接地端子(7)は、半導体基板(2)に電氣的に接続され、第2の接地端子(8)は、半導体基板(2)に電氣的に接続されない。

明 細 書

静電破壊保護素子を備えた半導体装置

技術分野

[0001] 本発明は、高い静電耐圧及び高周波特性が必要とされる静電破壊保護素子を備えた半導体装置に関する。

背景技術

[0002] 近年、半導体装置においては、アナログ回路とデジタル回路の混在はもちろん、これまで単一素子で構成されていたパワーアンプやローノイズアンプ等の集積化が検討されている。このような半導体装置の高集積化、高機能化の進展に伴い、半導体装置の各回路ブロック間でアイソレーションを確保する技術、及び干渉を防ぐ技術が強く要求されている。

[0003] 従来の半導体装置では、上記アイソレーションを確保するために、回路ブロック毎に接地端子や電源端子が分離されていた。そして、接地端子が、ラッチアップ等の不具合を防ぐために半導体基板に接続されていた。しかし、ローノイズアンプのように特に他の回路から干渉を防ぐ必要がある回路や、大電流・大電圧振幅を発生するために特に他の回路への干渉を防ぐ必要がある回路については、その回路の接地端子を半導体基板にも接続しない場合がある。この場合、半導体基板に接続されない接地端子は、静電耐圧が低下するために、他の通常の入出力端子と同様に静電破壊保護素子(以下、「保護素子」という。)を接続する必要がある(例えば、特許文献1参照。)。ただし、このような保護素子を接続することにより、上記アイソレーションを確保できなくなったり、電気的特性が劣化したりすることが少なくなかった。

[0004] 以下に、従来の保護素子を備えた半導体装置について説明する。図15は、従来の保護素子を備えた半導体装置の構成を模式的に示す図である。図15に示されるように、半導体装置101は、半導体基板102、第1の内部回路103、第2の内部回路104、保護素子105、2つの基板コンタクト106, 107、2つの接地端子108, 109、及び電源端子110を備える。第1及び第2の各内部回路103, 104は、半導体基板2上に形成された集積回路を機能毎に分離した際に得られる回路ブロックである。第1

の接地端子108は、第1の内部回路103に接続されるとともに、各基板コンタクト106, 107を介して半導体基板102に接続される。一方、第2の接地端子109は、第2の内部回路104に接続され、半導体基板102には接続されない。第1の接地端子107と第2の接地端子108は、第1の内部回路103と第2の内部回路104との間のアイソレーションを確保し、干渉を防ぐために回路ブロック毎に分離される。半導体基板2に接続されない第2の接地端子109には、保護素子105が接続される。保護素子105は、2つのダイオード111, 112を備える。第1のダイオード111は、第1の接地端子108と第2の接地端子109との間に接続され、第2のダイオード112は、第2の接地端子109と電源端子110との間に接続される。

[0005] 半導体装置101は、半導体基板102、第1及び第2の各内部回路103, 104、保護素子105、及び2つの基板コンタクト106, 107を内部に備えたパッケージを有する半導体パッケージであり、通常、実装基板に実装されて使用される。図16は、半導体装置101が、例えば、ウェハレベルチップサイズパッケージ(Wafer Level Chip Size Package 以下、「WLCSP」という。)にパッケージングされている場合の実装例を示す図である。図16に示されるように、半導体装置101は、実装基板120に実装される。

[0006] 半導体装置101は、例えば、P型シリコン基板等の半導体基板102を備える。その半導体基板102の上部にはN型半導体層121が形成され、そのN型半導体層121の上部には、配線層と絶縁層が交互に積層された積層部122が形成されている。N型半導体層121には、P型半導体である2つの基板コンタクト106, 107、並びにP型半導体とN型半導体から成る第1及び第2の各ダイオード111, 112が形成される。

[0007] WLCSPの場合、第1及び第2の各接地端子108, 109、及び電源端子110は、それぞれ半田ボールで構成される。上述された半導体装置101の各構成要素は、積層部122を構成する配線層に設けられた複数の電極、及びそれらの電極を接続する複数のバイアホールを用いて、図15に示された回路になるように接続される。また、第1及び第2の各接地端子108, 109は、実装基板120内に設けられた接地電極123に、それぞれバイアホールを介して接続される。

[0008] 半導体装置101が、図16に示されるように実装基板120に実装された場合、その

半導体装置101と実装基板120の接続関係は、図17に示される。図17は、半導体装置101と実装基板120との接続関係を示す回路図である。図17に示されるように、電源端子110には電源150が接続される。また、第1及び第2の各接地端子108, 109は、接地電極123に接続されることにより、接地面151に接地される。さらに、配線層に設けられた配線、及び配線間には寄生インダクタンスが存在するので、第1の内部回路103の接地端子A₀と第1の接地端子108との間には寄生インダクタンス152が存在し、第2の内部回路104の接地端子B₀と第2の接地端子109との間には、寄生インダクタンス153が存在する。また、第1の接地端子108と接地面151との間、及び第2の接地端子109と接地面151との間にも、それぞれ対応する寄生インダクタンス154, 155が存在する。

[0009] 通常、実装して使用される状態では、第1及び第2の各接地端子108, 109は、接地面に接地されるため、第1及び第2の各接地端子108, 109から静電気サージが加わることはない。しかし、製造過程や出荷・搬送過程では、それらは接地されていないため、第1及び第2の各接地端子108, 109にも静電気サージが加わることを考えなければならない。以下に、第1及び第2の接地端子108, 109が接地されていない場合に、それらの各接地端子108, 109に静電気サージが加わった場合について説明する。第1及び第2の各接地端子108, 109が接地されていない場合、第1の接地端子108に静電気サージが加わると、半導体基板102に静電気サージが逃げてバイパスされるため、第1の内部回路103に静電気サージが加わることはない。一方、第2の接地端子109に静電気サージが加わった場合には、第2の接地端子109が半導体基板102に接続されていないために、静電気サージがバイパスする経路がなく、第2の内部回路104に静電気サージが加わる場合がある。この場合に、保護素子105は、第2の内部回路104をその静電気サージから保護する。

[0010] 保護素子105の動作は、以下の通りである。第2の接地端子109に第1の接地端子108の電位よりも低い負の静電気サージが加わった場合には、ダイオード111がONしてサージ電流を第2の接地端子109から第1の接地端子108にバイパスし、第2の内部回路104を保護する。また、第2の接地端子109に電源端子110の電位よりも高い正の静電気サージが加わった場合には、ダイオード112がONしてサージ電流を

第2の接地端子109から電源端子110にバイパスし、第2の内部回路104を保護する。

特許文献1:特開2000-307061号公報

発明の開示

発明が解決しようとする課題

[0011] しかしながら、上述の保護素子105における第1及び第2の各ダイオード111, 112は寄生容量成分をもつため、第1の内部回路103と第2の内部回路104との間のアイソレーションが十分確保されない場合がある。例えば、第1の内部回路103でノイズが発生した場合、ノイズはまず半導体基板102に伝わり、第1のダイオード111の寄生容量成分を介して第2の内部回路104に伝わる場合がある。また、第1の内部回路103のノイズが、電源端子110から第2のダイオード112の寄生容量成分を介して、接地端子109に伝わり、第2の内部回路104に伝わる場合もある。つまり、第1の内部回路103と第2の内部回路104の間のアイソレーションを確保するため、第1及び第2の接地端子108、109を分離し、第2の接地端子109を半導体基板102に接続しないという対策を行っていても、第1及び第2の各ダイオード111, 112の寄生容量成分によって上記アイソレーションが確保されないという問題があった。また、図15に示されるように、第1のダイオード111の近くでは基板コンタクト107が接続されることが多く、第2の内部回路4と半導体基板3との間のアイソレーションが悪くなるという問題があった。さらに、第1の内部回路3と第2の内部回路4との間のアイソレーションを確保するために、第1及び第2の各ダイオード111, 112のサイズを小さくして寄生容量成分を減らそうとすると静電耐圧が下がるという寄生容量成分と静電耐圧の間のトレードオフが存在するという問題があった。

[0012] また、図17の回路では第1及び第2の各ダイオード111, 112の寄生容量成分だけではなく、第1のダイオード111がONすることでアイソレーションが悪くなる場合もある。例えば、第2の内部回路104が直流的に大電流を流す回路であった場合、寄生インダクタンス153, 155の影響によって、 B_0 点の電位が A_0 点の電位より、第1のダイオード111がONする電圧以上に下がる場合もあるため、第2の内部回路4は、第1のダイオード111がONすることにより第1の内部回路1や半導体基板3とのアイソレー

ションが確保できなくなるという問題もあった。

[0013] また、半導体基板102上にある回路が第1及び第2の内部回路101, 102だけではなく、他にも多数ある場合、また、それらの回路が、特にロジック回路や大きな信号出力を行う回路である場合、半導体基板102には種々のノイズが存在していることが多い。このように様々な回路からのノイズを含む半導体基板102からアイソレーションを確保することは、第2の内部回路102にとって、ノイズ等の干渉を防ぐためにも非常に重要である。

[0014] 本発明は、以上の問題を解決するためになされたものであり、半導体基板に設けられた回路が同一半導体基板上の他の回路や半導体基板から十分なアイソレーションを確保しつつ高い静電耐圧を有することを可能にする静電破壊保護素子を備えた半導体装置を提供することを目的とする。

課題を解決するための手段

[0015] 本発明による静電破壊保護素子を備えた半導体装置は、集積回路が形成された半導体基板と、前記の集積回路と外部の接地電極とを電気的に接続する第1の接地端子及び第2の接地端子と、前記の第1の接地端子と第2の接地端子とを電気的に接続する静電破壊保護素子とを備える。前記の第1の接地端子は、前記の半導体基板に電気的に接続され、前記の第2の接地端子は、前記の半導体基板に電気的に接続されない。以下、この半導体装置を、第1の半導体装置という。

[0016] 好ましくは、前記の集積回路は、前記の第1の接地端子に接続された第1の回路と、前記の第2の接地端子に接続された第2の回路とを備える。以下、この半導体装置を、第2の半導体装置という。

[0017] 好ましくは、前記の第2の回路は、ローノイズアンプの回路であり、前記の第1の回路は、前記のローノイズアンプに流れる電流を制御する制御回路である。以下、この半導体装置を、第3の半導体装置という。

[0018] 好ましくは、第1〜第3のいずれかの半導体装置は、さらに、前記の半導体基板の上部に、少なくとも1つの配線層と少なくとも1つの絶縁層が交互に積層された積層部を備える。前記の静電破壊保護素子は、前記の半導体基板から最も離れた配線層に設けられる。以下、この半導体装置を、第4の半導体装置という。

[0019] 好ましくは、第1〜第3のいずれかの半導体装置は、さらに、前記の半導体基板の上部に、少なくとも1つの配線層と少なくとも1つの絶縁層が交互に積層された積層部と、前記の半導体基板及び積層部を内部に備えるパッケージとを備える。前記のパッケージは、ボールグリッドアレイパッケージ又はウェハレベルチップサイズパッケージであり、前記の配線層の少なくとも1つは、再配線層である。前記の静電破壊保護素子は、前記の再配線層に設けられる。以下、この半導体装置を、第5の半導体装置という。

[0020] 好ましくは、第1〜第5のいずれかの半導体装置において、前記の静電破壊保護素子はアルミニウム配線である。以下、この半導体装置を、第6の半導体装置という。

[0021] 好ましくは、第1〜第5のいずれかの半導体装置において、前記の静電破壊保護素子は銅配線である。以下、この半導体装置を、第7の半導体装置という。

[0022] 好ましくは、第1〜第7のいずれかの半導体装置において、前記の静電破壊保護素子の前記の第1の接地端子から前記の第2の接地端子までの長さは2mm以上である。

発明の効果

[0023] 本発明に係る静電破壊保護素子を備えた半導体装置は、集積回路が形成された半導体基板と、集積回路と外部の接地電極とを電気的に接続する第1の接地端子及び第2の接地端子と、第1の接地端子と第2の接地端子とを電気的に接続する静電破壊保護素子とを備え、第1の接地端子は、半導体基板に電気的に接続され、第2の接地端子は、半導体基板に電気的に接続されないもので、同一半導体基板上の他の回路や半導体基板からアイソレーションを十分に確保しつつ静電耐圧が高い回路を実現することができる。

図面の簡単な説明

[0024] [図1]本発明による静電破壊保護素子を備えた半導体装置1の構成を模式的に示す図である。

[図2]半導体装置1の実装基板20に対する実装例を示し、半導体装置1の構成をより詳細に示す図である。

[図3]半導体装置1の実装基板20に対する実装例を示し、実装基板20の構成をより

詳細に示す図である。

[図4]半導体装置1を、半田ボールが設けられた表面から見たときの平面図である。

[図5]半導体装置1と実装基板20との接続関係を示す回路図である。

[図6]第1の内部回路3で発生したノイズが第2の内部回路4にどのように伝わるかを説明する回路図である。

[図7]ノイズの周波数と、A点からみた第1の内部回路3の出力インピーダンスとの関係の一例を示すグラフである。

[図8]ノイズの周波数と、B点からみた第2の内部回路4の入力インピーダンスとの関係の一例を示すグラフである。

[図9]保護素子5のインダクタンス成分の値とアイソレーションとの関係を示すグラフである。

[図10]本発明による、半導体基板に接続された2個の接地端子と半導体基板に接続されない1個の接地端子を有する半導体装置60の構成を模式的に示す図である。

[図11]半導体装置60の実装基板20に対する実装例を示し、半導体装置60の構成をより詳細に示す図である。

[図12]半導体装置60の実装基板20に対する実装例を示し、実装基板20の構成をより詳細に示す図である。

[図13]半導体装置60を半田ボールが設けられた表面から見たときの平面図である。

[図14]半導体装置60を半田ボールが設けられた表面から見たときの平面図である。

[図15]従来の保護素子を備えた半導体装置101の構成を模式的に示す図である。

[図16]半導体装置101の実装基板120に対する実装例を示し、半導体装置101の構成をより詳細に示す図である。

[図17]半導体装置101と実装基板120との接続関係を示す回路図である。

符号の説明

- [0025] 1 半導体装置、 2 半導体基板、 3 第1の内部回路、 4 第2の内部回路、 5 静電破壊保護素子、 6 基板コンタクト、 7 第1の接地端子、 8 第2の接地端子、 9 電源端子

発明を実施するための最良の形態

[0026] 以下、添付の図面を参照して、本発明の実施の形態について説明する。

図1は、本発明の実施の形態による静電破壊保護素子を備えた半導体装置の構成を模式的に示す図である。図1に示されるように、半導体装置1は、半導体基板2、2つの内部回路3、4、静電破壊保護素子5、基板コンタクト6、2つの接地端子7、8、及び電源端子9を備える。例えば、半導体基板2は、シリコン(Si)基板である。各内部回路3、4は、半導体基板2上に形成された集積回路を機能毎に分離して得られる回路ブロックである。例えば、第2の内部回路4は、ローノイズアンプ回路であり、第1の内部回路3は、そのローノイズアンプ回路に流れる電流を制御する制御回路である。第1の内部回路3は、電源端子9、及び第1の接地端子7に接続され、第2の内部回路4は、第2の接地端子8に接続される。また、第1の接地端子7は、基板コンタクト6を介して半導体基板2に接続される一方、第2の接地端子8は、半導体基板2に接続されない。第1の接地端子7と第2の接地端子8は、第1の内部回路3と第2の内部回路4との間のアイソレーションを確保し、干渉を防ぐために回路ブロック毎に分離され、第2の内部回路4に接続された第2の接地端子8は、半導体基板2に接続されない。また、保護素子5は、第1の接地端子7と第2の接地端子8とを接続する。

[0027] 半導体装置1は、半導体基板2、第1の内部回路3、第2の内部回路4、保護素子5、及び基板コンタクト6を内部に備えたパッケージを有する半導体パッケージである。そして、半導体パッケージは、通常、実装基板に実装されて使用される。近年は、例えばノート型パーソナルコンピュータや携帯電話等に利用できるように半導体パッケージの小型化が求められ、例えば、ボールグリッドアレイ(Ball Grid Array 以下、「BGA」という。)やWLCSP等の、チップサイズと同等か、わずかに大きいチップサイズパッケージ(CSP)の半導体パッケージが主流である。図2は、半導体装置1がWLCSPにパッケージングされている場合に実装基板に実装されるときの実装例を示す図である。図2に示されるように、半導体装置1は、実装基板20に実装される。

[0028] 半導体装置1は、例えば、P型シリコン基板等の半導体基板2を備える。その半導体基板2の上部にはN型半導体層21が形成され、そのN型半導体層21の上部には、配線層と絶縁層が交互に積層された積層部22が形成される。N型半導体層21の中には、P型半導体からなる基板コンタクト6が形成される。

- [0029] 積層部22の複数の配線層には、アルミニウム (Al) 配線23〜25、27〜29と、保護素子5を構成する銅 (Cu) 配線26とが設けられる。Al配線23〜25、及びAl配線27〜29は、それぞれ半導体基板2側から順に積層されており、Al配線23とAl配線27、Al配線24とAl配線28、並びにAl配線25とAl配線29は、それぞれ同一の配線層に設けられる。また、Al配線23〜25は、第1の内部回路3に接続され、Al配線27〜29は、第2の内部回路4に接続される。Cu配線26は、第1の内部回路3及び第2の内部回路4の両方に接続される。配線23〜26は、スルーホール30によって互いに電氣的に接続され、配線26〜29は、スルーホール31によって互いに電氣的に接続される。図2に示されるように、半導体装置1は、積層部22の最上層が実装基板20の実装面に対向するように、実装基板20に実装される。
- [0030] WLCSPの場合、第1及び第2の各接地端子7、8、及び電源端子9 (図示しない) は、それぞれ半田ボールで構成される。第1の接地端子7及び第2の接地端子8は、それぞれ対応するバイアホール32、33によって、Cu配線26に接続される。また、P型半導体である基板コンタクト6は、同じP型の半導体基板2に接続されるとともに、バイアホール34によって配線23に接続される。なお、図2では、わかりやすいように、Cu配線26の一部の形状を変化させ、その変化した形状部分を静電破壊保護素子5として示しているが、第1の接地端子7と第2の接地端子8との間に接続されるCu配線26は、全体として静電破壊保護素子5として作用する。
- [0031] 図2に示されるように、第1の接地端子7は、実装基板20の表面に形成された電極35に接続され、第2の接地端子8は、実装基板20の表面に形成された電極36に接続される。電極35、36は、対応するバイアホール37、38を介して、実装基板20の内部に形成された配線39にそれぞれ接続される。配線39は、接地電極として作用する。
- [0032] 図3は、図2と同様に、半導体装置1がWLCSPにパッケージングされている場合の半導体装置1の実装基板20に対する実装例を示す図であり、実装基板20の構成をより詳細に示す。図3に示されるように、実装基板20は、半導体装置1を実装する実装面40と、実装基板20の内部に形成された第2配線層41、第3配線層42、第4配線層43、及び第5配線層44を備える。実装面40には、第1及び第2の各接地端子7

, 8、及び電源端子9がそれぞれ接続される電極35, 36, 45が設けられる。配線39は、第2配線層41に設けられる。このように、実装基板20において、接地電極は、一般的に、第2配線層41に設けられる。

[0033] 上述したように、実装面40の電極35, 36は、対応するバイアホール37, 38を介して、第2配線層41に設けられた配線39にそれぞれ接続される。なお、半導体装置1のパッケージの表面には、第1及び第2の各接地端子7, 8、及び電源端子9として作用する半田ボールの他に、接地端子や電源端子等の接続端子として作用する別の半田ボールが設けられてもよい。その場合には、実装基板20の実装面40、並びに第3及び第5の配線層42〜44に、それらの半田ボールが接続される電極が設けられてもよく、さらに、それらの半田ボールと実装基板20内の配線とを接続するために、実装基板20内にバイアホールが設けられてもよい。

[0034] なお、積層部22の配線総数は、図2に示したものに限られない。また、半導体装置1がWLCSPである場合、静電破壊保護素子5を構成するCu配線26は、半導体基板2上に形成された電極パッド(図示しない)とパッケージの表面に形成された半田ボールとを接続する配線、すなわち再配線であってよい。このとき、このCu配線26が設けられる配線層を再配線層という。

[0035] 図4は、半導体装置1を、半田ボールが設けられた表面から見たときの平面図である。図4に示されるように、保護素子5は、第1の接地端子7と第2の接地端子8との間に接続される。

[0036] 以上のような半導体装置1において、第1及び第2の各接地端子7, 8が接地されていないときに、第1及び第2の接地端子7, 8に静電気サージが加わった場合について説明する。第1の接地端子7に静電気サージが加わった場合には、その静電気サージは、基板コンタクト6を介して半導体基板2にバイパスされるので、第1の内部回路3に静電気サージが加わることはない。一方、第2の接地端子8に静電気サージが加わった場合には、第1の接地端子7を介して半導体基板2に静電気サージがバイパスされるため、第2の内部回路4に静電気サージが加わることはない。すなわち、第2の内部回路4は保護素子5によって保護される。本発明の実施の形態による半導体装置において、静電破壊保護素子は、第1の接地端子7と第2の接地端子8とを接続

する配線によって構成されているため、半導体基板2に接続されない第2の接地端子8に加わった静電気サージを第1の接地端子4にバイパスすることができ、高い静電耐圧を実現することができる。また、本実施の形態による半導体装置は、静電破壊保護素子として、従来の半導体装置のようにダイオードを用いないので、従来の半導体装置よりも回路の静電耐圧を向上させることができる。

[0037] 半導体装置1が、図2及び図3に示されるように実装基板20に実装された場合、その半導体装置1と実装基板20の接続関係は、図5に示される。図5は、半導体装置1と実装基板20との接続関係を示す回路図である。図5に示されるように、電源端子9には、電源50が接続される。また、第1及び第2の各接地端子7, 8は、接地面52に接地される。これは、第1及び第2の各接地端子7, 8が、接地電極として作用する実装基板20の配線39に接続されるからである。さらに、配線層に設けられる配線、及び配線間には寄生インダクタンスが存在するので、第1の内部回路3の接地端子Aと第1の接地端子7との間には、寄生インダクタンス52が存在し、第2の内部回路4の接地端子Bと第2の接地端子8との間には、寄生インダクタンス53が存在する。また、第1の接地端子7と接地面51との間、及び第2の接地端子8と接地面51との間にも、それぞれ対応する寄生インダクタンス54, 55が存在する。さらに、保護素子5は、インダクタンス成分56を有する。

[0038] 以下に、第1の内部回路3でノイズが発生した場合の第2の内部回路4に対する影響について説明する。図6は、第1の内部回路3で発生したノイズが第2の内部回路4にどのように伝わるかを説明する回路図である。図6に示されるように、接地端子Aと第1の接地端子7との間の寄生インダクタンスの値(L値)をL52、接地端子Bと第2の接地端子8との間の寄生インダクタンスの値をL53、第1の接地端子7と接地面51との間の寄生インダクタンスの値をL54、第2の接地端子8と接地面51との間の寄生インダクタンスの値をL55とする。また、保護素子5のインダクタンス成分をL56とする。第1の内部回路3で発生したノイズは、寄生インダクタンス52を介して、第1の接地端子7、保護素子5、第2の接地端子8、及び寄生インダクタンス53を通り、第2の内部回路4に至る。ここで、第1の内部回路3で発生するノイズの電圧を V_i 、そのノイズがB点に到達したときのB点での電圧を V_o とし、A点からみた第1の内部回路3の出力イ

ンピーダンスを Z_0 、B点からみた第2の内部回路4の入力インピーダンスを Z_L とすると、以下の式(1)が成り立つ。

[数1]

$$V_o = \frac{j\omega L_{54} \cdot (j\omega L_{56} + Z_0) / (j\omega L_{54} + j\omega L_{56} + Z_0)}{Z_0 + j\omega L_{52} + j\omega L_{54} \times (j\omega L_{56} + Z_0) / (j\omega L_{54} + j\omega L_{56} + Z_0)} \times \frac{Z_0}{j\omega L_{56} + Z_0} \times \frac{Z_L}{j\omega L_{53} + Z_L} \times V_i \quad (1)$$

$$\text{ここで、} \quad Z_0 = \frac{j\omega L_{55} \cdot (j\omega L_{53} + Z_L)}{j\omega L_{55} + j\omega L_{53} + Z_L}$$

[0039] 半導体装置1のパッケージが、BGAパッケージやWLCSP等である場合、 L_{52} 〜 L_{55} は、それぞれ0.5nH程度である。第1の内部回路3が、例えば、バイアス回路を含む比較的大きな回路であるとき、ノイズの周波数と、A点からみた第1の内部回路3の出力インピーダンスとの関係の一例を図7に示す。図7のグラフにおいて、横軸はノイズの周波数、縦軸は第1の内部回路3の出力インピーダンスをそれぞれ示す。図7に示されるように、ノイズの周波数が1000MHz、すなわち1GHz付近のとき、出力インピーダンスの大きさは約60Ωである。

[0040] また、第2の内部回路4は、例えば、ローノイズアンプ等の回路である。このとき、B点からみた第2の内部回路4の入力インピーダンスは、エミッタ接地アンプのエミッタ側からみたインピーダンスとなる。図8は、ノイズの周波数と、B点からみた第2の内部回路4の入力インピーダンスとの関係の例を示すグラフである。図8のグラフにおいて、横軸はノイズの周波数、縦軸は第2の内部回路4の入力インピーダンスをそれぞれ示す。図8に示されるように、ノイズの周波数が1GHz付近のとき、入力インピーダンスの大きさは約800Ωである。

[0041] 図9は、ノイズの周波数が1GHzの場合に保護素子5のインダクタンス成分の値である L_{21} を変化させたときの V_o/V_i の値を示すグラフである。ここで、A点からみた第1の内部回路3のインピーダンス Z_o は60Ω、B点からみた第2の内部回路4のインピーダンス Z_L は800Ωであると仮定する。図9のグラフにおいて、横軸は保護素子5のインダクタンス成分の値(L値)、縦軸は V_o/V_i の値をそれぞれ示す。 V_o/V_i は、第1の内部回路3と第2の内部回路4の間のアイソレーションの程度を示す。アイソレ

ーシヨンの程度は、20dB以上で実用可能である。さらに好ましくは、30dB以上である。最も好ましくは、40dB以上である。図9に示されるように、保護素子5のインダクタンス成分の値L56が2nH程度あればアイソレーションが40dB以上確保できることがわかる。配線の寄生インダクタンスの値は、配線の材質や幅に関係なく、その長さのみ依存し、1mmで1nHであるので、保護素子4として作用する配線の長さは2mm以上にすることが望ましい。

[0042] また、図6に示された回路から、L54, L55の値が小さく、L52, L53の値が大きい方ほど、第1の内部回路3と第2の内部回路4との間のアイソレーションは高くなることがわかる。したがって、保護素子5は、できる限り第1及び第2の各内部回路3, 4から距離を離し、第1及び第2の各接地端子7, 8に近づけることが望ましい。よって、本実施の形態1による半導体装置1において、保護素子5として作用する配線26は、積層部22における最上層、すなわち実装基板20に最も近い配線層、若しくは積層部22において半導体基板2から2番目に離れた配線層、すなわち実装基板20に2番目に近い配線層に設けられることが望ましい。

[0043] 集積度が上がり、ロジック回路や大きな電圧振幅を発生する回路が同一半導体基板上にある場合、半導体基板を伝わってくるノイズや干渉波が問題なることが多く、ローノイズアンプのようにわずかなノイズでも特性に影響される回路では半導体基板とできる限りアイソレーションを確保することが重要である。本発明による半導体装置では、第2の内部回路4に接続された第2の接地端子8を半導体基板2に接続せず、保護素子5によって第1の接地端子7に接続するので、第2の内部回路4は、高い静電耐圧を実現しつつ、第1の内部回路3や半導体基板3と十分なアイソレーションを確保することができる。また、保護素子5の寄生インダクタンス成分によって第1の内部回路3や半導体基板2との間のアイソレーションを十分確保することができる。よって、第2の内部回路4が、たとえローノイズアンプの回路であっても、同一の半導体基板上の他の回路や半導体基板からのノイズによって誤動作することを防止することができる。なお、本発明による半導体装置における静電破壊保護素子は、10MHz以上の周波数を有するノイズに対して上記効果を有する。

[0044] また、本発明による半導体装置は、上述の静電破壊保護素子5を用いることによつ

て、第2の内部回路4から接地面51までの寄生インダクタンス成分を減らすことができる。保護素子5がない場合、第2の内部回路4から接地面51までの寄生インダクタンス成分の値は、 $L53 + L55$ で表される。しかし、保護素子4がある場合は、 $L53 + L55 \cdot (L56 + L54) / (L55 + L56 + L54)$ となる。先ほどと同様に、 $L52 \sim L55$ を $0.5nH$ とし、 $L56$ を $2nH$ として、第2の内部回路4から接地面51までの寄生インダクタンス成分を試算すると、保護素子4がない場合は $1nH$ 、保護素子4がある場合は $0.92nH$ となり、上記寄生インダクタンス成分を約10%程度低減することができる。また、第2の接地端子8のように半導体基板2に接続されていない接地端子が他にも複数あり、その接地端子のそれぞれを、上述したような保護素子によって第1の接地端子7に接続すれば、さらに第2の内部回路4から接地面51までの寄生インダクタンス成分の低減の効果は増す。この保護素子5による第2の内部回路4から接地面51までの寄生インダクタンス成分の低減によって、第2の内部回路4の高周波特性を向上させる効果がある。また、第2の内部回路4の高周波特性が向上することによって、半導体装置の集積回路全体の高周波特性が向上する。

[0045] 以上から、保護素子5は、できるかぎり半導体基板3から物理的距離が離れた最上層の配線が望ましく、2mm程度の長さをもたせ、寄生インダクタンス(L)成分を持たせることが望ましい。また、保護素子5の材料は任意であり、ワイヤ配線であってもよいが、好ましくは、AL配線又はCu配線である。なお、図1では、第1の内部回路3と第2の内部回路4は接続されているが、必ずしも接続されている必要はない。また、半導体基板2はN型半導体基板でもP型半導体基板でもよい。

[0046] なお、上述の説明において、半導体装置1は、半導体基板2に接続された接地端子(以下、「基板接続端子」という。)と半導体基板2に接続されない接地端子(以下、「基板非接続端子」という。)をそれぞれ1つずつ有していたが、それぞれ複数個有していてもよい。また、半導体装置1が有する基板接続端子の個数と基板非接続端子の個数が同数であっても異なる数であってもよい。

[0047] 図10は、2個の基板接続端子と1個の基板非接続端子を有する半導体装置の構成を模式的に示す図である。図10に示された半導体装置60において、図1に示された半導体装置1と同一の構成要素には同一の符号を付し、説明を省略する。図10に

示されるように、半導体装置60は、第3の内部回路61、第3の接地端子62、第2の電源端子63、及び第2の基板コンタクト64を備える。以下、電源端子9を第1の電源端子9、基板コンタクト6を第1の基板コンタクト6という。図10に示されるように、第3の接地端子62は、第3の内部回路61に接続されるとともに、第2の基板コンタクト64を介して、半導体基板2に接続される。また、第2の電源端子63は、第3の内部回路61に接続される。

[0048] 図11及び図12は、半導体装置60がWLCSPにパッケージングされている場合の半導体装置60の実装基板20に対する実装例をそれぞれ示す。図11及び図12に示された構成において、図2及び図3に示された構成と同一の構成要素には同一の符号を付し、説明を省略する。図11に示されるように、半導体装置60のN型半導体層21の中には、P型半導体からなる第2の基板コンタクト64が形成され、積層部22の複数の配線層には、Al配線70〜73が設けられる。Al配線70〜73は、第3の内部回路61に接続される。Al配線70〜73は、スルーホール74によって互いに電氣的に接続される。WLCSPの場合、第3の接地端子62、及び第2の電源端子63は、それぞれ半田ボールで構成される。第3の接地端子62は、バイアホール75によって、Al配線73に接続される。第2の基板コンタクト64は、バイアホール76によって、Al配線70に接続される。

[0049] 図11及び図12に示されるように、第2の接地端子62、及び第2の電源端子63は、それぞれ実装基板20の実装面40に形成された対応する電極77、78にそれぞれ接続される。電極77は、バイアホール79を介して、実装基板20の内部に形成された接地電極として作用する配線電極39に接続される。電極78は、バイアホール80を介して、実装基板20の内部の第3配線層42に設けられた配線電極81に接続される。なお、図12に示されるように、第1の電源端子9と第2の電源端子63は、配線電極81によって接続される。

[0050] 図13は、半導体装置60を、半田ボールが設けられた表面から見たときの平面図である。図13に示されるように、保護素子5は、第1及び第2の各接地端子7、8に接続される。

[0051] なお、第2の内部回路3と第3の内部回路61との間のアイソレーションが問題となら

ない場合は、第2の接地端子8と第3の接地端子63との間に別の保護素子が接続されてもよい。図14は、半導体装置60を、半田ボールが設けられた表面から見たときの平面図である。図14に示されるように、第1の接地端子7と第2の各接地端子8との間に保護素子5が接続されるとともに、第2の接地端子8と第3の接地端子62の間に別の保護素子90が接続されてもよい。

[0052] 図10に示される回路であっても、第2の内部回路4は、高い静電耐圧を実現しつつ、第1の内部回路3や半導体基板3とは十分なアイソレーションを確保することができる。

[0053] さらに、基板非接続端子が複数個存在する場合であっても、それぞれの基板非接続端子を、上述の保護素子により少なくとも1つの基板接続端子と接続すれば、基板非接続端子に接続された回路は、高い静電耐圧を実現しつつ、第1の内部回路3や半導体基板3とは十分なアイソレーションを確保することができる。

[0054] 本発明は特定の実施の形態について説明されてきたが、当業者にとっては他の多くの変形例、修正、他の利用が明らかである。よって、本発明は、ここでの特定の開示に限定されず、添付の請求の範囲によってのみ限定され得る。

産業上の利用可能性

[0055] 本発明にかかる静電破壊保護素子は、高い静電耐圧及び高周波特性が必要とされる半導体装置等に利用できる。また、本発明にかかる静電破壊保護素子を備える半導体装置は、例えば、ノート型パーソナルコンピュータや携帯電話等に適用可能である。

請求の範囲

- [1] 集積回路が形成された半導体基板と、
前記集積回路と外部の接地電極とを電氣的に接続する第1の接地端子及び第2の接地端子と、
前記第1の接地端子と第2の接地端子とを電氣的に接続する静電破壊保護素子とを備え、
前記第1の接地端子は、前記半導体基板に電氣的に接続され、前記第2の接地端子は、前記半導体基板に電氣的に接続されないことを特徴とする静電破壊保護素子を備えた半導体装置。
- [2] 前記集積回路は、前記第1の接地端子に接続された第1の回路と、前記第2の接地端子に接続された第2の回路とを備えることを特徴とする請求項1に記載の静電破壊保護素子を備えた半導体装置。
- [3] 前記第2の回路は、ローノイズアンプの回路であり、前記第1の回路は、前記ローノイズアンプに流れる電流を制御する制御回路であることを特徴とする請求項2に記載の静電破壊保護素子を備えた半導体装置。
- [4] さらに、前記半導体基板の上部に、少なくとも1つの配線層と少なくとも1つの絶縁層が交互に積層された積層部を備え、
前記静電破壊保護素子は、前記半導体基板から最も離れた配線層に設けられることを特徴とする請求項1から3のいずれかに記載の静電破壊保護素子を備えた半導体装置。
- [5] さらに、前記半導体基板の上部に、少なくとも1つの配線層と少なくとも1つの絶縁層が交互に積層された積層部と、
前記半導体基板及び積層部を内部に備えるパッケージとを備え、
前記パッケージは、ボールグリッドアレイパッケージ又はウェハレベルチップサイズパッケージであり、
前記配線層の少なくとも1つは、再配線層であり、
前記静電破壊保護素子は、前記再配線層に設けられることを特徴とする請求項1

から3のいずれかに記載の静電破壊保護素子を備えた半導体装置。

- [6] 前記静電破壊保護素子はアルミニウム配線であることを特徴とする請求項1から5のいずれかに記載の静電破壊保護素子を備えた半導体装置。
- [7] 前記静電破壊保護素子は銅配線であることを特徴とする請求項1から5のいずれかに記載の静電破壊保護素子を備えた半導体装置。
- [8] 前記静電破壊保護素子の前記第1の接地端子から前記第2の接地端子までの長さは2mm以上であることを特徴とする請求項1から7のいずれかに記載の静電破壊保護素子を備えた半導体装置。

[2005年4月1日(01.04.05)国際事務局受理 :
出願当初の請求の範囲1は補正された;他の請求の範囲は変更なし。(2頁)]

[1] (補正後) 集積回路が形成された半導体基板と、

前記集積回路と外部の接地電極とを電氣的に接続する第1の接地端子及び第2の接地端子と、

前記第1の接地端子と第2の接地端子とを電氣的に接続する配線から成る静電破壊保護素子と

を備え、

前記第1の接地端子は、前記半導体基板に電氣的に接続され、前記第2の接地端子は、前記半導体基板に電氣的に接続されないことを特徴とする静電破壊保護素子を備えた半導体装置。

[2] 前記集積回路は、前記第1の接地端子に接続された第1の回路と、前記第2の接地端子に接続された第2の回路とを備えることを特徴とする請求項1に記載の静電破壊保護素子を備えた半導体装置。

[3] 前記第2の回路は、ローノイズアンプの回路であり、前記第1の回路は、前記ローノイズアンプに流れる電流を制御する制御回路であることを特徴とする請求項2に記載の静電破壊保護素子を備えた半導体装置。

[4] さらに、前記半導体基板の上部に、少なくとも1つの配線層と少なくとも1つの絶縁層が交互に積層された積層部を備え、

前記静電破壊保護素子は、前記半導体基板から最も離れた配線層に設けられることを特徴とする請求項1から3のいずれかに記載の静電破壊保護素子を備えた半導体装置。

[5] さらに、前記半導体基板の上部に、少なくとも1つの配線層と少なくとも1つの絶縁層が交互に積層された積層部と、

前記半導体基板及び積層部を内部に備えるパッケージと
を備え、

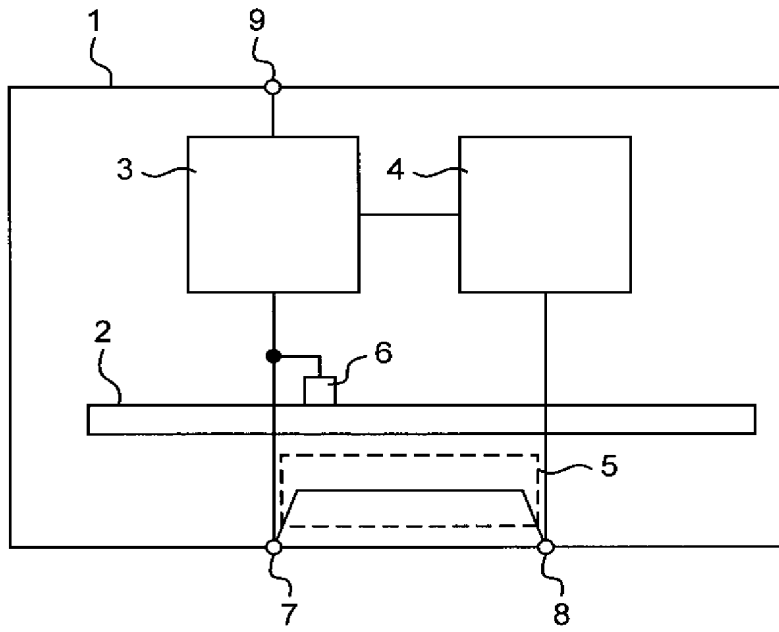
前記パッケージは、ボールグリッドアレイパッケージ又はウェハレベルチップサイズパッケージであり、

前記配線層の少なくとも1つは、再配線層であり、

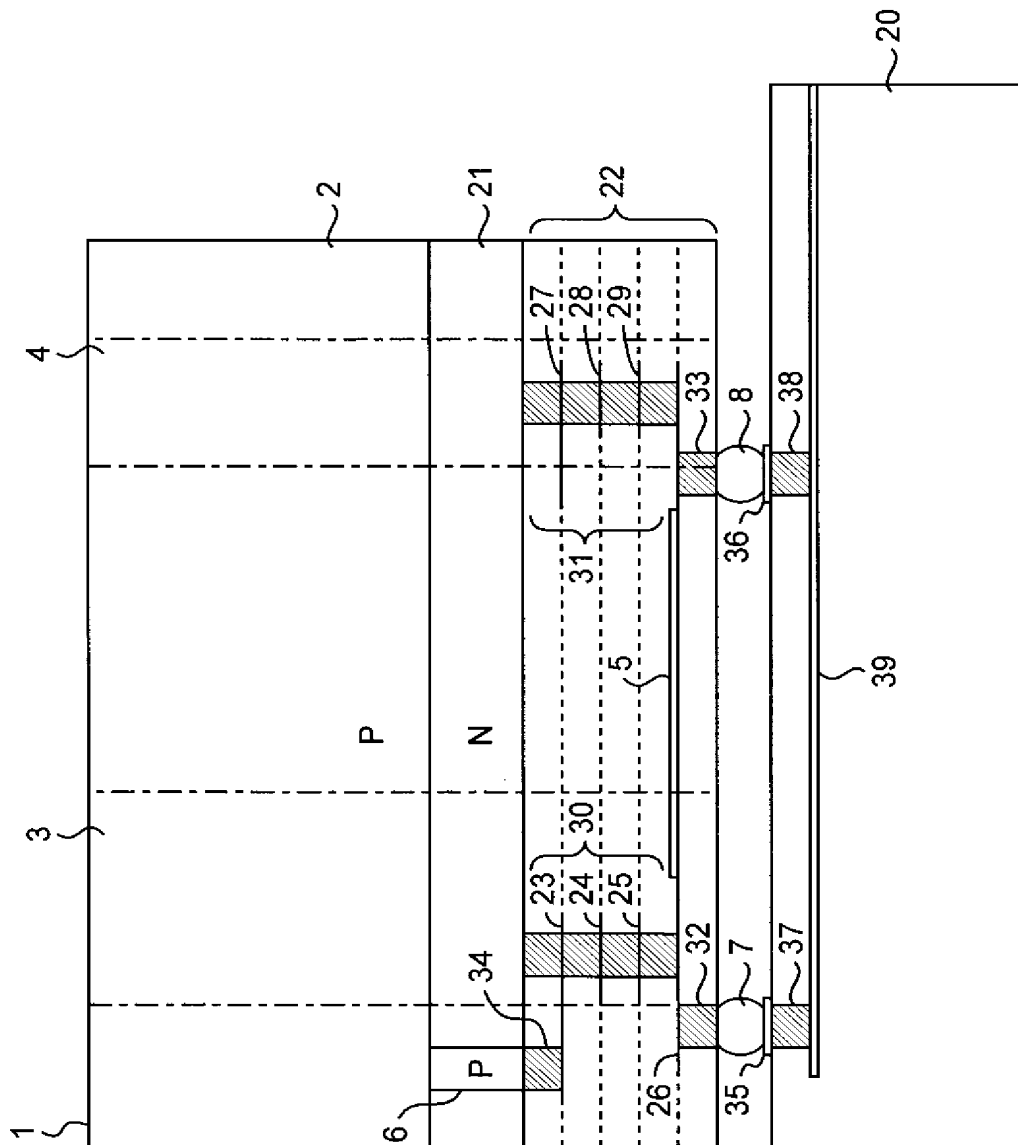
前記静電破壊保護素子は、前記再配線層に設けられることを特徴とする請求項

1

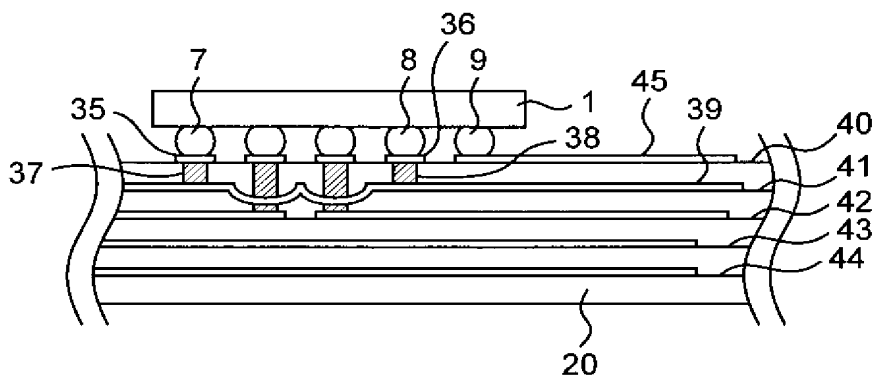
[図1]



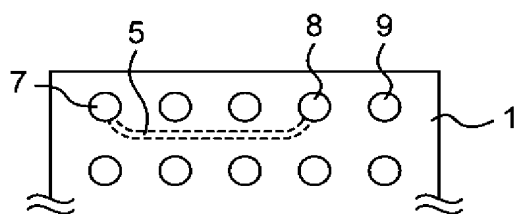
[図2]



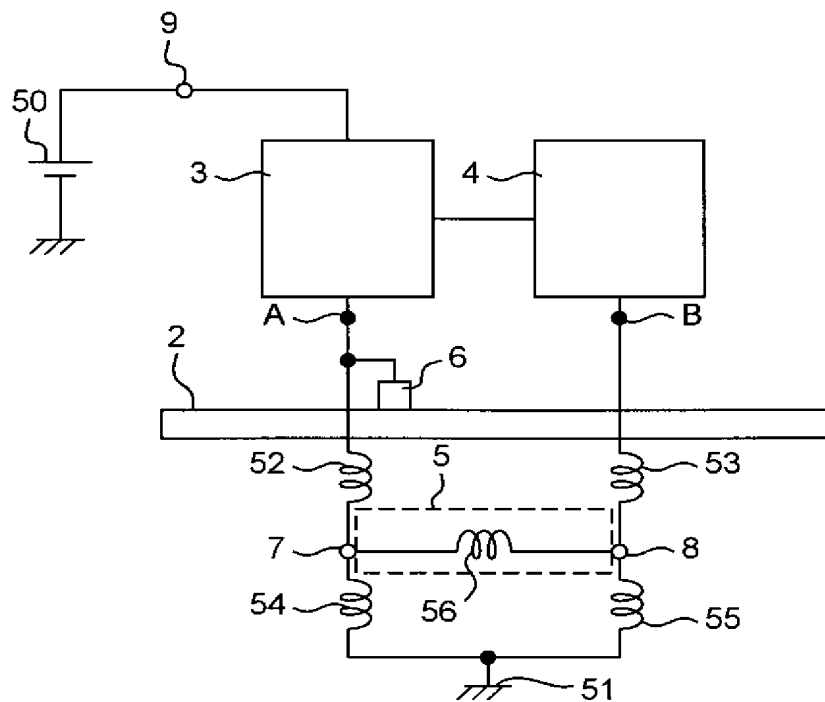
[図3]



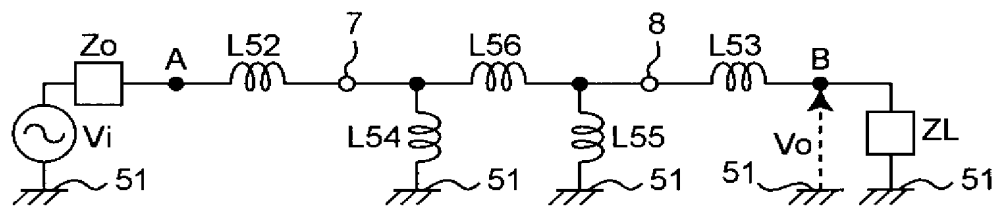
[図4]



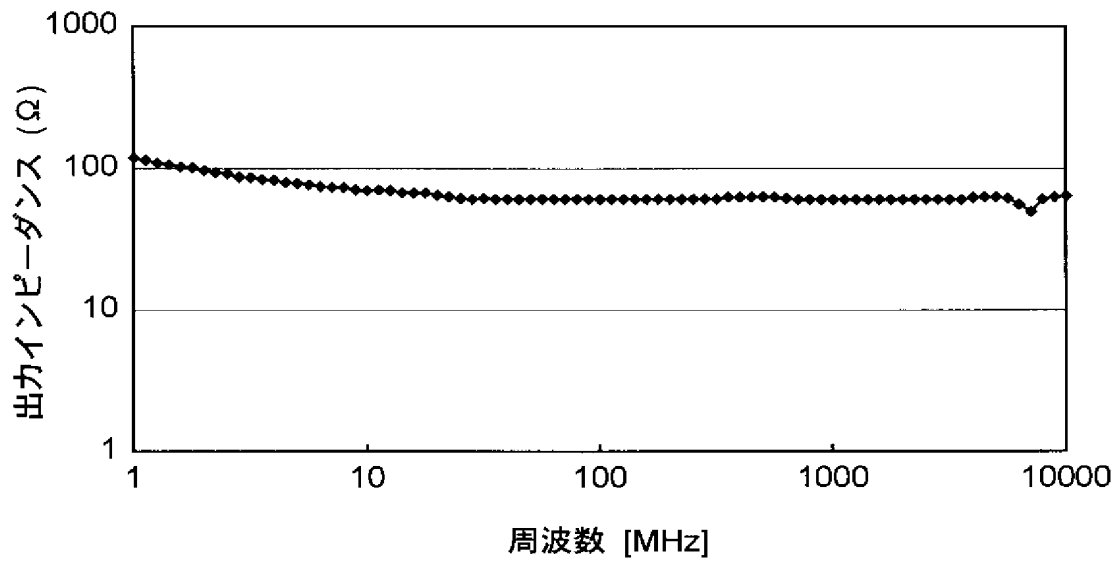
[図5]



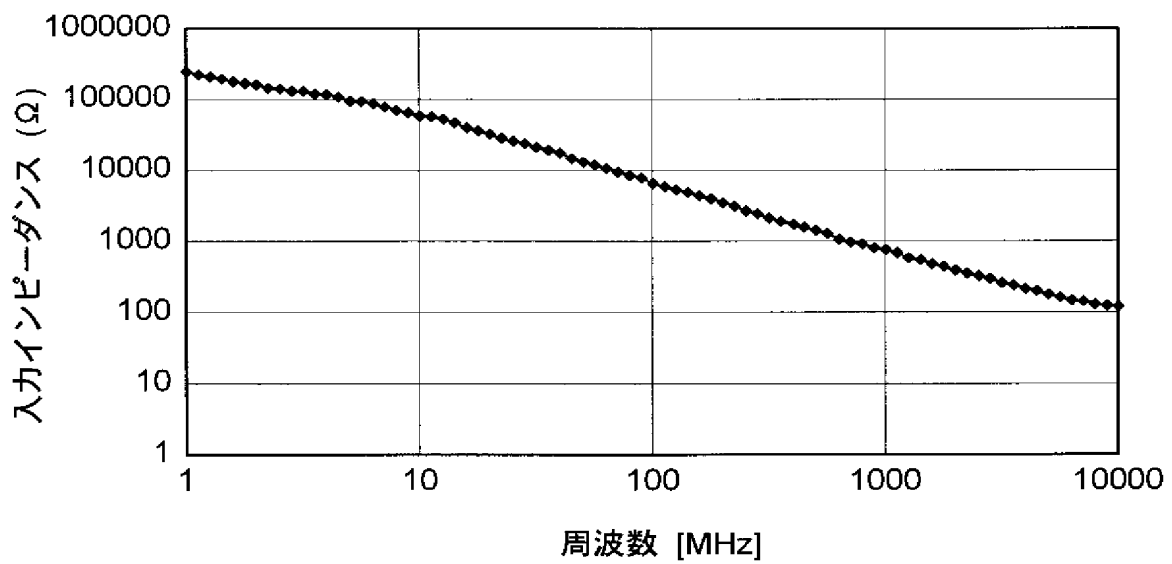
[図6]



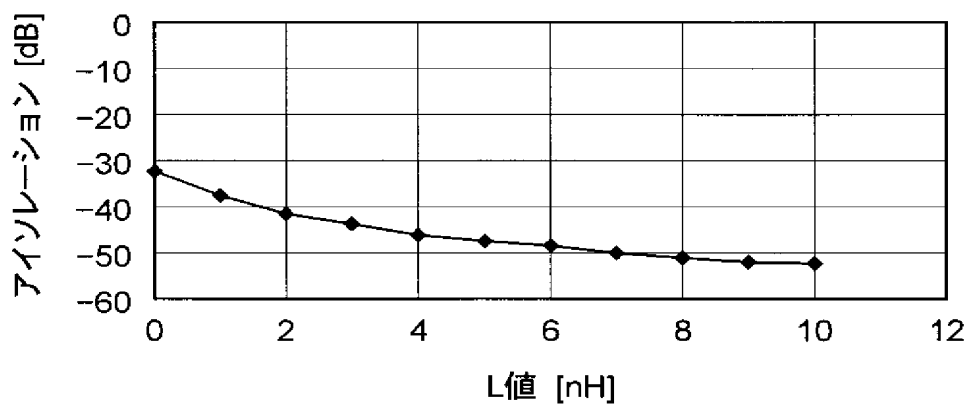
[図7]



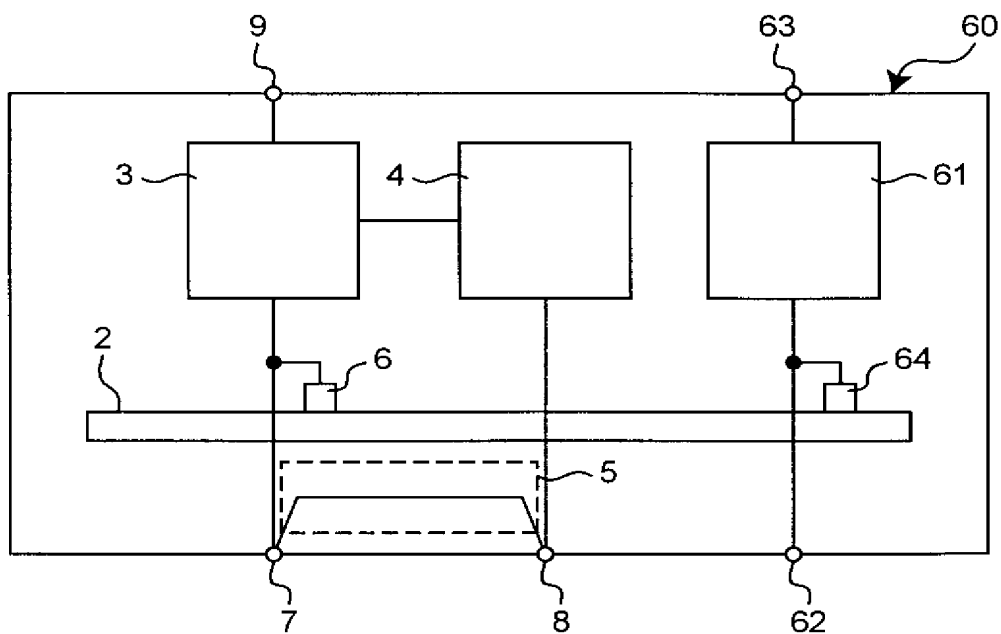
[図8]



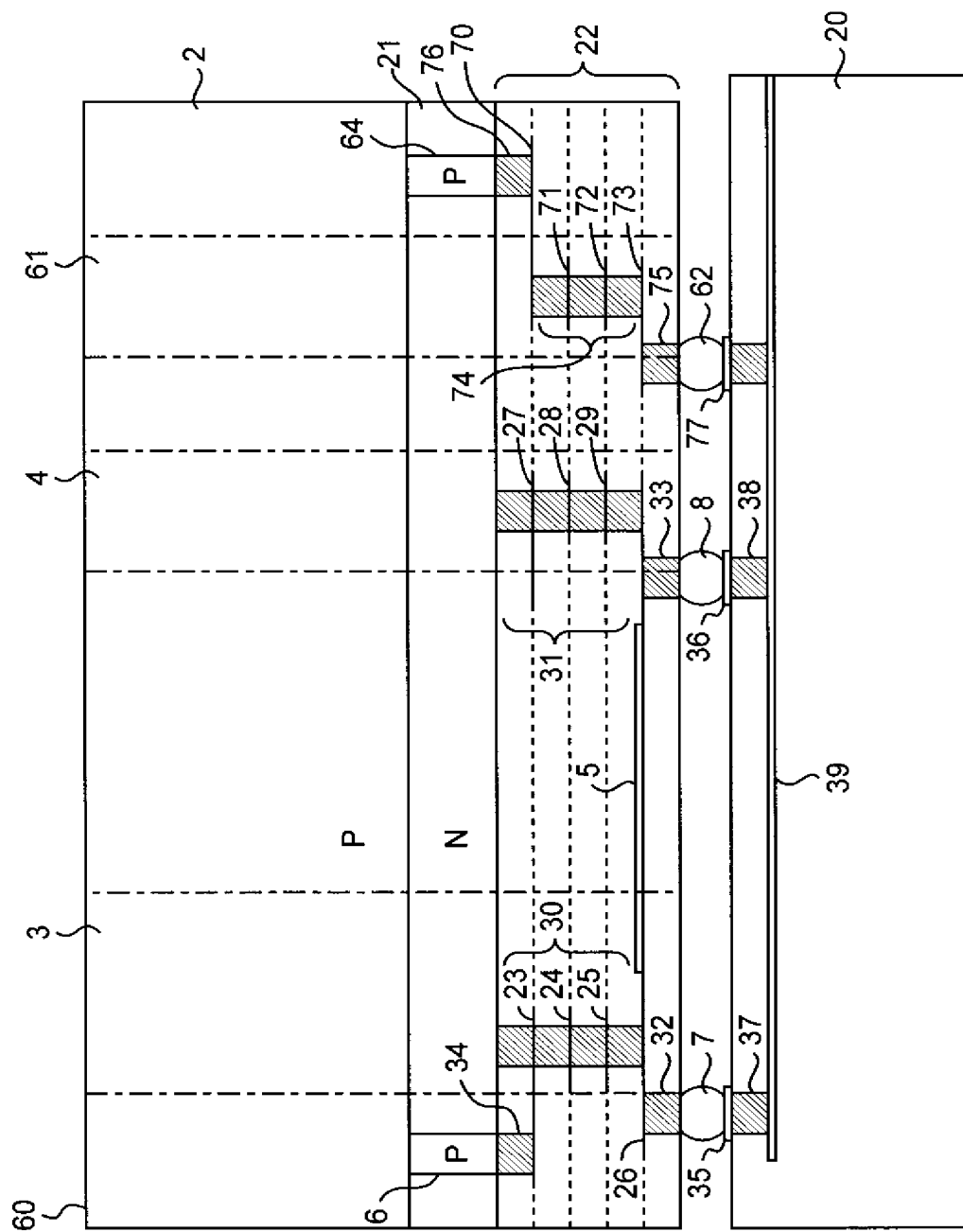
[図9]



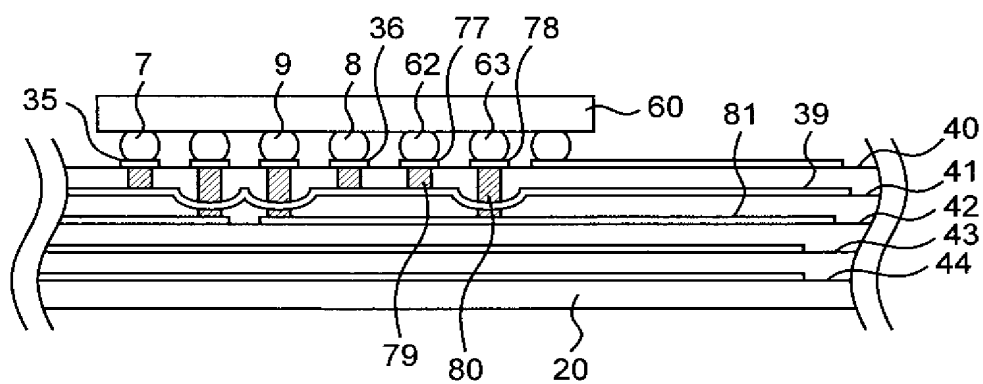
[図10]



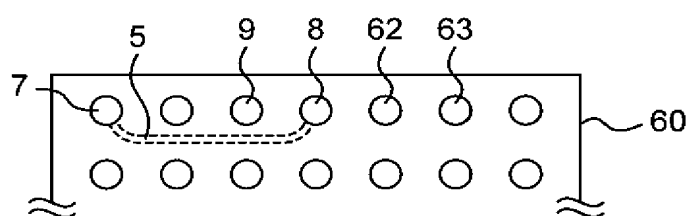
[図11]



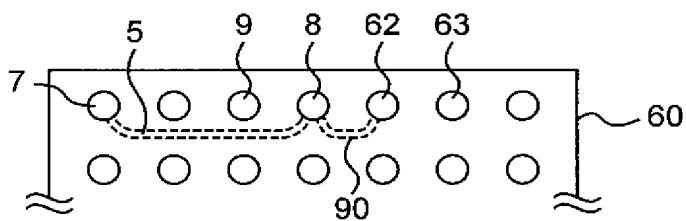
[図12]



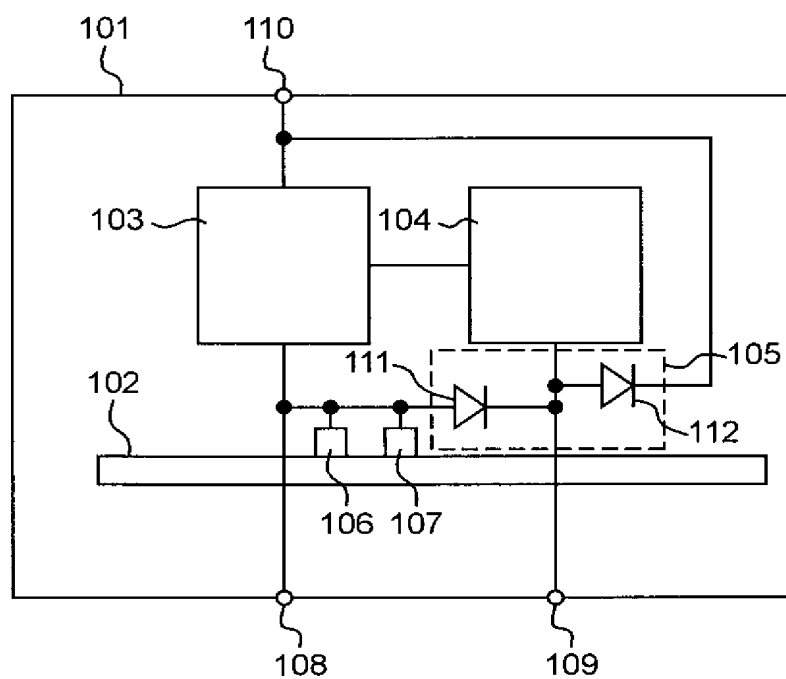
[図13]



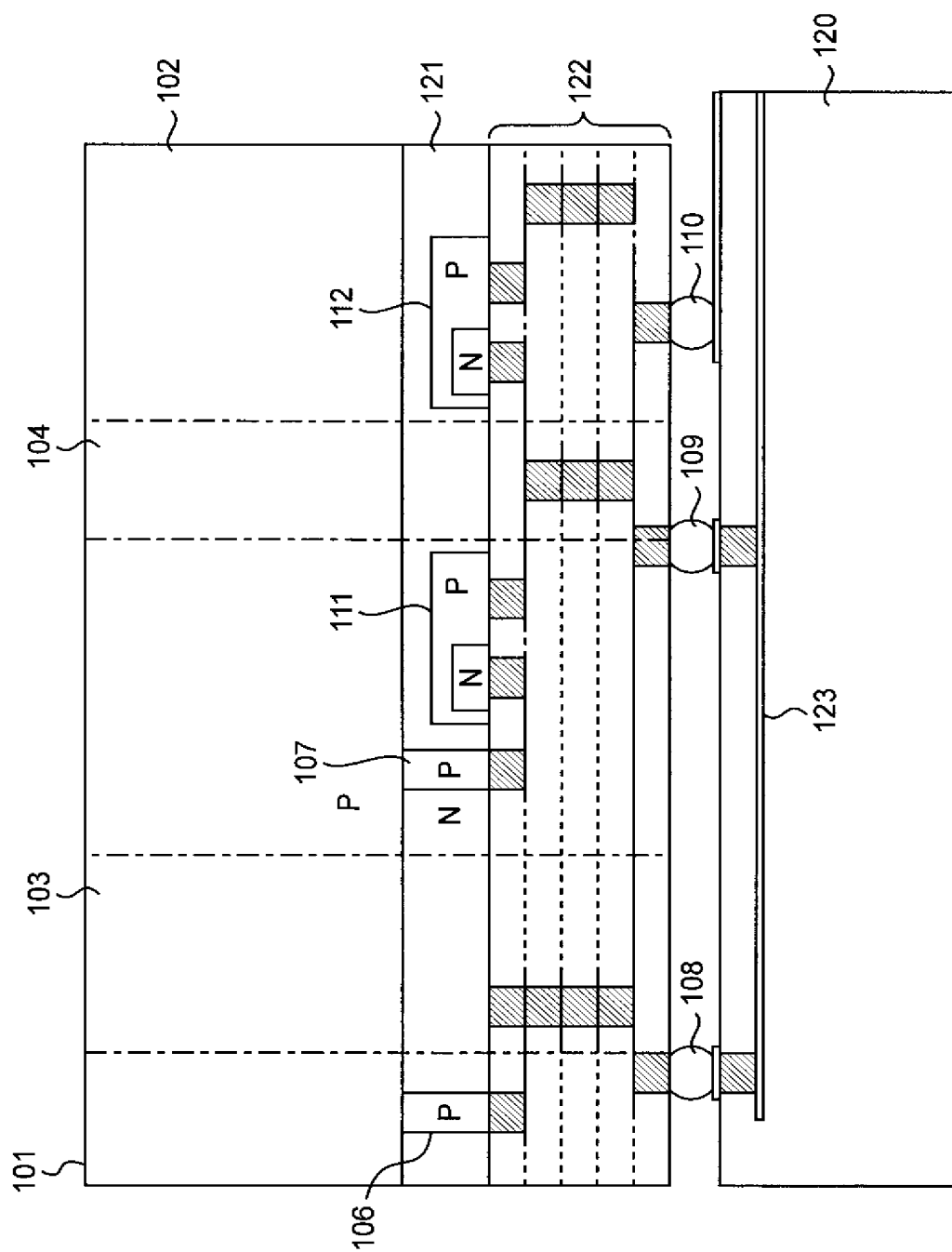
[図14]



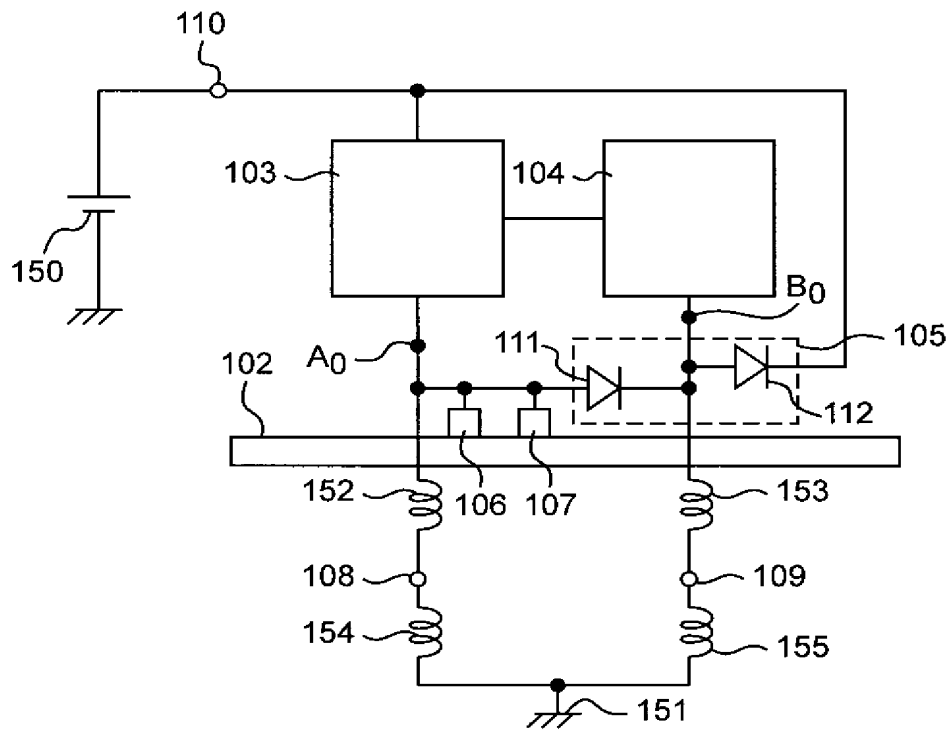
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017701

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L27/04, H01L23/60		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L27/04, H01L23/60		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-345426 A (Unisia Jecs Corp.), 14 December, 2001 (14.12.01), Par Nos. [0046] to [0052]; Fig. 3 (Family: none)	1-3, 8 4-7
X A	JP 01-239877 A (Sharp Corp.), 25 September, 1989 (25.09.89), Page 3, upper left column, line 12 to page 3, lower left column, line 20; Fig. 3 (Family: none)	1-3, 8 4-7
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 17 January, 2005 (17.01.05)		Date of mailing of the international search report 01 February, 2005 (01.02.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017701

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2004-193170 A (Matsushita Electric Industrial Co., Ltd.), 08 July, 2004 (08.07.04), Full text; all drawings & EP 1427015 A2 Full text; all drawings & CN 1507052 A & KR 4049782 A & US 2004/0108577 A1	1-8
A	JP 2003-152091 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Full text; all drawings (Family: none)	1-8
A	JP 06-163823 A (Toshiba Corp.), 10 June, 1994 (10.06.94), Full text; all drawings & US 5994741 A Full text; all drawings	1-8
A	JP 05-291492 A (Seiko Epson Corp.), 05 November, 1993 (05.11.93), Full text; all drawings (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L23/60

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L23/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2001-345426 A (株式会社ユニシアジェックス) 2001. 12. 14, 段落番号【0046】 - 【0052】, 第3図 (ファミリー無し)	1-3, 8 4-7
X A	JP 01-239877 A (シャープ株式会社) 1989. 09. 25, 第3頁左上欄第12行-第3頁左下欄第20行, 第3図 (ファミリー無し)	1-3, 8 4-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

17. 01. 2005

国際調査報告の発送日

01. 2. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

洵 真悟

4 L

2933

電話番号 03-3581-1101 内線 3496

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PA	JP 2004-193170 A (松下電気産業株式会社) 2004. 07. 08, 全文, 全図 & EP 1427015 A2, 全文, 全図 & CN 1507052 A & KR 4049782 A & US 2004/0108577 A1	1-8
A	JP 2003-152091 A (松下電器産業株式会社) 2003. 05. 23, 全文, 全図 (ファミリー無し)	1-8
A	JP 06-163823 A (株式会社東芝) 1994. 06. 10, 全文, 全図 & US 5994741 A, 全文, 全図	1-8
A	JP 05-291492 A (セイコーエプソン株式会社) 1993. 11. 05, 全文, 全図 (ファミリー無し)	1-8